

Docket No.: RSW-S3019

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By: Werner Date: May 13, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/606,512  
Applicant : Maik Stegemann, et al.  
Filed : March 22, 2004  
Title : Method for Fabricating a Semiconductor Structure  
Docket No. : RSW-S3019  
Customer No. : 24131

CLAIM FOR PRIORITY

Commissioner for Patents,  
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 103 12 469.1, filed March 20, 2003.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Werner H. Stemer (Reg. No. 34,956)

Date: May 13, 2004  
Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/av

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 103 12 469.1

**Anmeldetag:** 20. März 2003

**Anmelder/Inhaber:** Infineon Technologies AG, 81669 München/DE

**Bezeichnung:** Verfahren zum Herstellen einer Halbleiterstruktur

**IPC:** H 01 L 21/308

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 26. April 2004  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

A handwritten signature in black ink, appearing to read "M. Wirs".

Agurks

A 9161  
06/00  
EDV-L

## Beschreibung

### Verfahren zum Herstellen einer Halbleiterstruktur

- 5 Die vorliegende Erfindung betrifft ein Verfahren zur Strukturierung von Halbleitersubstraten, bei dem Vertiefungen mit verringelter kritischer Breite erzeugt werden.

In der modernen Halbleitertechnik werden die Strukturen auf  
10 der Oberfläche der Halbleitersubstrate, welche die integrierten Schaltungen tragen, immer kleiner. Damit steigen auch ständig die Anforderungen an die Strukturierungstechnik. Um diesen Anforderungen gerecht zu werden, wäre es wünschenswert, bei der Strukturierung von Schichten des Halbleitersubstrats Löcher bzw. Gräben bzw. Vertiefungen mit geringeren  
15 lateralen Ausmaßen erzeugen zu können. Insbesondere wäre eine Verkleinerung der als Kontaktlöcher dienenden Vertiefungen hinsichtlich ihrer lateralen Ausdehnung wünschenswert. Diese Problematik stellt sich z.B. auch bei der Erzeugung von Kontaktlöchern bei der Herstellung selbstjustierender Kontakte.  
20 Beim Übergang auf kleinere Technologien ist eine Verkleinerung der Vertiefungen in zu strukturierenden Schichten anzustreben.

25 Grundsätzlich wird die kritische Breite (Engl.: critical dimension bzw. CD) bzw. werden die Abmessungen von Vertiefungen durch die Gesamtstrukturierung bestimmt, wozu das lithographische Verfahren und das Ätzen gehören. Zur Erzeugung kleinerer Strukturen wurde bisher versucht, jeweils neue Lithographiemasken zu entwickeln, die sich mit kleineren Öffnungen herstellen lassen, gegebenenfalls kombiniert mit neuen Lithographie-Belichtungsanlagen, die geringere Öffnungsbreiten ermöglichen.

- 35 Der Ätzanteil bei herkömmlichen Verfahren beschränkte sich darauf, die kritische Breite von Vertiefungen nach der Lithographie mittels Ätzprozessen mit einer geringen oder 0nm Ver-

änderung in die zu strukturierende Schicht zu übertragen. Dieses Vorgehen bedingt beim Übergang zu neuen Technologien mit kleineren Strukturen einen extrem hohen Invest im Lithographiebereich. Andere Ideen dazu, welche ebenfalls im Lithographiebereich anzusiedeln sind, sind CARL (Chemical Amplification of Resist Lines) und 'Reflow'. Bei CARL wird ein spezieller Lack chemisch behandelt (siliziert), dabei „wächst“ dieser, wird mit Si angereichert und die CDs werden kleiner. Diese dann siliziumreiche Schicht wird zur geraden Strukturierung mittels Trockenätzen eines sogenannten Bottomresists benutzt. Damit steht der eigentlichen Strukturierung eine Resistmaske höherer Dicke mit kleineren Abmessungen (CDs) als zu Beginn zur Verfügung. Nachteil ist dabei die aufwendige Silizierung des speziellen Lackes.

15

Bei dem lithographischen Reflow-Verfahren werden vorhandene Lithographiestrukturen mittels Temperatur und Zeit zum Verfließen gebracht, was zu reduzierten Abmessungen (CDs) aber auch geringerer Lackdicke resultiert. Das Ergebnis wird als 20 „neue Resistmaske“ dem Trockenätzen zur Verfügung gestellt.

Aufgabe der vorliegenden Erfindung ist es, ein Verfahren zur Herstellung von Halbleiterstrukturen bereit zu stellen, mit dem in Halbleitersubstraten, die zu strukturierende Schichten 25 aufweisen, Vertiefungen bzw. Löcher mit einer verringerten kritischen Breite bzw. lateralen Abmessungen erzeugt werden können, insbesondere ohne Änderungen an der vorhandenen Lithographieausrüstung vornehmen zu müssen.

30 Diese Aufgabe wird durch ein Verfahren gemäß den Ansprüchen 1 und 4 gelöst.

Die vorliegende Erfindung beruht dabei auf der Idee, ein oder mehrere Opferschichten einzuführen, von denen mindestens eine 35 mit einem kontrollierten Böschungswinkel (Taper) geätzt wird, wodurch für eine nachfolgende Strukturierung einer darunter liegenden zu strukturierenden Schicht eine verminderte Öff-

nungsbreite bzw. laterale Abmessung zur Verfügung steht. Dabei erfolgt das Ätzen der Opferschicht, der Opferschichten und/oder der zu strukturierenden Schicht jeweils selektiv zu den benachbarten, insbesondere den darüber liegenden jeweils 5 als Maske verwendeten Schichten, d.h. weitgehend ohne die jeweils als Maske verwendete Schicht beim Ätzen zu beschädigen oder abzutragen. Die Erfindung löst damit das eingangs vorgestellte Problem, indem die bei der Technologieverkleinerung nötige Verminderung der kritischen Breite durch den er- 10 findungsgemäßen Ätzprozess mit Böschungswinkel erzeugt wird und nicht durch Mehraufwendungen bei der Lithographie. Bei den erfindungsgemäßen Verfahren kann eine sehr gute Genauigkeit und Kontrollierbarkeit der Abmessungen mit verringelter Breite erreicht werden. Vorteilhafterweise können so Investi- 15 tionen im Lithographiebereich eingespart werden oder auf spätere Generationen verschoben werden. Zusätzlich können gleichzeitig bekannte Probleme wie z.B. eine nicht ausrei- chende Lackselektivität behoben werden.

20 Bevorzugte Ausführungsformen der vorliegenden Erfindung sind in den Unteransprüchen angegeben.

(25) Anspruch 1 der vorliegenden Erfindung bezieht sich auf ein Verfahren, bei dem eine Opferschicht eingeführt wird und betrifft ein Verfahren zum Herstellen einer Halbleiterstruktur, mit den Schritten:

- a. Vorsehen eines Halbleitersubstrats;
- 30 b. Vorsehen einer Opferschicht zwischen einer zu strukturierenden Schicht und einer Resistorschicht;
- c. Strukturieren der Resistorschicht, um eine strukturierte Resistorschicht zu bilden;
- 35 d. selektives Ätzen der Opferschicht mit einem Böschungswinkel derart, dass die von in der strukturierten Resistorschicht

befindlichen Vertiefungen vorgegebenen Abmessungen innerhalb der Opferschicht in Ätzrichtung vermindert werden; und

- e. selektives Ätzen der zu strukturierenden Schicht unter Verwendung der mit einem Böschungswinkel geätzten Opferschicht als Maske.

Gemäß dieser Ausführungsform wird eine Opferschicht zwischen einer Resistorschicht und einer zu strukturierenden Schicht vorgesehen.

Grundsätzlich kann die Opferschicht in dieser Ausführungsform aus einem resistähnlichen Material ausgewählt sein. Die Opferschicht sollte bevorzugt aus einem solchen Material gewählt werden, dass eine hohe Selektivität beim Ätzen der zu strukturierenden Schicht gewährleistet ist. Weiterhin sollte das Material so gewählt werden, dass zuvor eine selektive

Ätzung der Opferschicht relativ zur Resistorschicht möglich ist. Weiterhin sollte die Opferschicht anschließend leicht entfernbare sein oder, falls sie nicht entfernt wird, in der Halbleiterstruktur tolerierbar sein. Es bieten sich erfindungsgemäß eine große Zahl an Möglichkeiten für die Wahl der Opferschicht, die in Abhängigkeit von dem Material der zu strukturierenden Schicht, der Resistorschicht und den Anforderungen der Halbleiterstruktur variieren kann. Beispiele geeigneter, bevorzugter Materialien sind resistähnliche Materialien wie organische Antireflexionsschichten, Bottom Resists oder Bi-layer Resists.

Als Opferschicht in einer bevorzugten Ausführungsform kann vorteilhafterweise eine organische Antireflexionsschicht verwendet werden. Eine solche Schicht befindet sich häufig bei dem Prozess der Halbleiterherstellung unter der eigentlichen Resistorschicht. Bei einem Ätzen dieser Schicht mit einem kontrollierten Böschungswinkel kann diese getaperte Schicht als Maske für die weitere Strukturierung der darunter befindlichen, zu strukturierenden Schicht dienen. Dabei ist bevor-

zugt, dass die zu strukturierende Schicht eine Polysiliziumschicht ist.

Für die zu strukturierende Schicht stehen gemäß der Ausführungsform mit einer Opferschicht ebenfalls viele Möglichkeiten zu Verfügung, wie bspw. Dielektrika, Polysilizium oder in Halbleiterstrukturen verwendete Metalle, wie bspw. Ti, TiN, Aluminium. Der Begriff „Metalle“ oder „Metallschicht“ umfasst, so wie in dieser Erfindung verwendet, insbesondere auch Silizide, die in der Halbleiterfertigung häufig verwendet werden, wobei Cobaltsilizid, Titansilizid und Wolfram silizid bevorzugt sind. Grundsätzlich sollte in Abstimmung mit der Opferschicht die Möglichkeit einer selektiven Ätzung der zu strukturierenden Schicht gewährleistet sein. Die zu strukturierende Schicht ist bevorzugt eine Polysiliziumschicht.

Gemäß einer weiteren Ausführungsform der vorliegenden Erfindung wird ein Verfahren bereitgestellt, bei dem zwei Opferschichten vorgesehen sind. Anspruch 4 betrifft ein Verfahren zum Herstellen einer Halbleiterstruktur, mit den Schritten:

a. Vorsehen eines Halbleitersubstrats;

b. Vorsehen von zwei Opferschichten zwischen einer zu strukturierenden Schicht und einer Resistorschicht, wobei die erste Opferschicht zur Resistorschicht hin angeordnet ist und die zweite Opferschicht zur zu strukturierenden Schicht hin angeordnet ist;

c. Strukturieren der Resistorschicht, um eine strukturierte Resistorschicht zu bilden;

d. selektives Ätzen der ersten Opferschicht mit einem Böschungswinkel derart, dass die von in der strukturierten Resistorschicht befindlichen Vertiefungen vorgegebenen Abmessungen innerhalb der ersten Opferschicht in Ätzrichtung vermindert werden;

e. selektives Ätzen der zweiten Opferschicht unter Verwendung der mit einem Böschungswinkel geätzten ersten Opferschicht als Maske; und

5

f. selektives Ätzen der zu strukturierenden Schicht, wobei die zweite geätzte Opferschicht als Maske dient.

Bei dieser erfindungsgemäßen Ausführungsform werden zwei Opferschichten vorgesehen, d.h. eine erste Opferschicht wird durch eine weitere, darunter liegende Opferschicht ergänzt.

Dies ist insbesondere dann vorteilhaft, wenn bei der Strukturierung die Selektivität zwischen der ersten Opferschicht und der zu strukturierenden Schicht nicht ausreicht, was beispielsweise bei zu strukturierenden dielektrischen Materialien wie Siliziumoxid der Fall sein kann.

Grundsätzlich sollten bei dieser Ausführungsform die Opferschichtmaterialien bevorzugt so ausgewählt werden, dass ein selektives Ätzen zu den jeweils benachbarten Schichten möglich ist. Insbesondere sollte die ersten Opferschicht selektiv gegenüber der Resistorschicht ätzbar sein, die zweite Opferschicht selektiv gegenüber der ersten Opferschicht und anschließend die zu strukturierende Schicht selektiv gegenüber der zweiten Opferschicht. Dem Fachmann bieten sich eine Vielzahl von Möglichkeiten zur Wahl der Materialien für die erste Opferschicht. Z.B. können als erste Opferschicht sämtliche Dielektrika eingesetzt werden, wie bspw. Siliziumnitrid, Siliziumoxynitrid, Siliziumoxid, sämtliche Variationen von Polysilizium, dotiert oder undotiert oder Metalle wie u.a. Ti, TiN, Aluminium oder Silizide, insbesondere Cobaltsilizid, Titansilizid und Wolframsilizid. Wichtig ist, wie erwähnt, dass eine selektive Ätzung der Schichten relativ zu den benachbarten Schichten möglich ist. Zudem sollte die erste Opferschicht bevorzugt beim Ätzen der zu strukturierenden Schicht mit entferntbar sein. Dadurch wird vermieden, nach

Strukturieren der zu strukturierenden Schicht zwei Opferschichten entfernen zu müssen.

- Als zweite Opferschicht wird bevorzugt eine Schicht eingesetzt, die dem Resist ähnlich ist, z.B. eine organische Antireflexionsschicht, Kohlenstoff oder grundsätzlich Schichten mit dem Hauptbestandteil Kohlenstoff. Dadurch kann die gewünschte Selektivitätsabfolge erreicht werden. Diese Struktur: Resist; als erste Opferschicht Dielektrika, Polysilizium oder Metall, und als zweite Opferschicht eine dem Resist ähnliche Schicht, gewährleistet jeweils die Möglichkeit eines selektiven Ätzens sowohl beim Ätzen der ersten Opferschicht, der zweiten Opferschicht als auch beim Strukturieren der zu strukturierenden Schicht. Besonders bevorzugt ist die zweite Opferschicht eine Kohlenstoffschicht oder eine Schicht eines im wesentlichen Kohlenstoff-haltigen Materials, da dann eine zerstörungsfreie Entfernung beider Opferschichten möglich ist.
- In diesem Fall zweier Opferschichten ist es bevorzugt, dass die näher an der Resistenschicht befindliche erste Opferschicht eine Siliziumoxidschicht, Siliziumnitrid- oder Siliziumoxynitridschicht ist. Es ist weiterhin bevorzugt, dass die näher an der zu strukturierenden Schicht befindliche zweite Opferschicht eine Kohlenstoffschicht ist. Ebenfalls bevorzugt wird im wesentlichen nur die näher der Resistenschicht befindliche erste Opferschicht mit einem Böschungswinkel derart geätzt, dass die Breite der Vertiefungen in der strukturierten Resistenschicht innerhalb der ersten Opferschicht in Ätzrichtung vermindert wird, während die zweite Opferschicht im wesentlichen mit geraden Kanten geätzt wird. Die erste Opferschicht mit verringrigerter Breite der Vertiefungen, verglichen mit der ursprünglichen Breite in der Resistenschicht nach Lithographie, steht hier zunächst als Maske für die selektive Strukturierung der zweiten Opferschicht zur Verfügung, die selektiv mit geraden Kanten geätzt werden kann. In diesem Fall steht dann insbesondere die zweite Opferschicht mit geraden Kanten, die

- eine geringere Öffnungsbreite als die Resistsschicht nach der Lithographie aufweist, als Maskenschicht für die Strukturierung der zu strukturierenden Schicht zur Verfügung. Diese Verfahrensführung mit zwei Opferschichten ist besonders be-  
5 vorzugt, wenn die erste Opferschicht eine Siliziumoxidschicht ist, die zweite Opferschicht eine Kohlenstoffschicht und die zu strukturierende Schicht ein Dielektrikum, insbesondere Siliziumoxid, ist. Dabei kann nämlich die Kohlenstoffschicht sehr selektiv relativ zur darüber liegenden Siliziumoxidop-  
10 ferschicht mit geätztem Böschungswinkel mit geraden Kanten geätzt werden, wonach sich die weitere Strukturierung der zu strukturierenden Schicht mit der Kohlenstoffschicht als Maske anschließt. Dadurch, dass die Kohlenstoffschicht mit geraden Kanten geätzt wird, kann beim Ätzen der zu strukturierenden  
15 Schicht eine engere, kontrollierte Vertiefung ohne eine wesentliche Aufweitung der Vertiefung erreicht werden. In einer weniger bevorzugten Ausführungsform kann auch die zweite Schicht mit einem Böschungswinkel geätzt werden.
- 20 Erfindungsgemäß ist auch eine zweite Opferschicht einsetzbar, die nach dem Ätzen der zu strukturierenden Schicht als Schicht in der Halbleiterstruktur verbleibt, wenn dadurch der Aufbau der Halbleiterstruktur nicht gestört wird bzw. diese verbleibende Schicht tolerierbar ist. Dies kann z.B. eine Siliziumoxid- oder Siliziumoxynitridschicht sein. Eine solche erfindungsgemäß ebenfalls bevorzugte Kombination wäre z.B. Resist; erste Opferschicht Polysilizium; zweite Opferschicht Siliziumoxid oder Siliziumoxynitrid, zu strukturierende Schicht Metall, z.B. Aluminium. Hier ist ein Verbleib von  
25 Siliziumoxid oder Siliziumoxynitrid integrativ tolerierbar, solange das Silizium aus der ersten Opferschicht bei der Metallstrukturierung entfernt wird, was durch eine entsprechende Wahl der Schichtdicken realisiert werden kann..
- 30 Die zu strukturierende Schicht kann erfindungsgemäß aus einer Vielzahl von Materialien ausgewählt sein, solange die oben erwähnte Selektivität in Kombination mit den anderen Schich-

ten gewährleistet ist. Bevorzugt ist die zu strukturierende Schicht eine Dielektrikumschicht, bevorzugt Siliziumoxid, eine Metallschicht oder eine Siliziumschicht.

- 5 Bei den erfindungsgemäßen Verfahren können auch weitere Schichten zwischen der Resistorschicht und der zu strukturierenden Schicht vorhanden sein, soweit dadurch das erfindungsgemäße Verfahren nicht gestört wird. Bspw. kann bei der Variante mit zwei Opferschichten (z.B. Siliziumoxidschicht und  
10 Kohlenstoffschicht) noch eine Antireflexionsbeschichtung zwischen Resistorschicht und der in Ätzrichtung oberen Opferschicht vorliegen.

Die Dicke der Opferschichten beträgt vorzugsweise etwa 30 -  
15 100 nm, weiterhin bevorzugt 65 - 85 nm. Sie ist der erforderlichen Abmessungsreduktion anpassbar.

Der Böschungswinkel beträgt erfindungsgemäß bevorzugt 45 - 90 Grad, bevorzugter 70 - 85 Grad, am bevorzugtesten etwa 80°  
20 Ein Böschungswinkel von 80° ist anzustreben wegen der Kontrollierbarkeit und Stabilität der Abmessungsreduktion. Der Böschungswinkel kann durch dem Fachmann bekannte Maßnahmen eingestellt werden, wie bspw. durch Verwendung und Anteile der eingesetzten Ätzgase oder durch die beim Ätzen eingestellten Bias-Leistung, Magnetfelder, Temperaturen.  
25

Bevorzugt steht nach dem Ätzen mit einem Böschungswinkel eine neue verringerte Vertiefungsbreite von kleiner oder gleich 180 nm für die Strukturierung der zu strukturierenden Schicht zur Verfügung, bevorzugt 55 bis 120 nm. Damit kann, ohne Maßnahmen an der Lithographie vornehmen zu müssen, die kritische Breite auf Ausmaße reduziert werden, die für kommende Technologiegenerationen erforderlich sind.  
35 Als Halbleitersubstrat können sämtliche in der Halbleiterherstellung verwendete Materialien eingesetzt werden.

Nachfolgend wird die Erfindung anhand der Zeichnungen und von Ausführungsbeispielen weiter erläutert.

Dabei zeigen:

5

Fig. 1 bis 3 verschiedene Stadien einer Ausführungsform des erfindungsgemäßen Verfahrens mit einer Opferschicht.

10 Fig. 4 bis 8 verschiedene Stadien einer Ausführungsform des erfindungsgemäßen Verfahrens mit zwei Opferschichten.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder  
15 gleich wirkende Elemente.

Obwohl prinzipiell auf beliebige integrierte Schaltungen anwendbar, werden die vorliegende Erfindung sowie die ihr zugrundeliegende Problematik in bezug auf Halbleiterstrukturen in Silizium-Technologie erläutert.

### 1. Ätzen mit einer Opferschicht

Auf einem Halbleitersubstrat 1 aus Silizium befindet sich  
25 eine zu strukturierende Schicht 10 aus Polysilizium mit 100 nm Dicke. Darüber wird eine 70 nm dicke Schicht einer herkömmlichen organischen Antireflexionsschicht abgeschieden, die als Opferschicht 20 dient. Anschließend wird eine Resistschicht aufgebracht und lithographisch strukturiert. Die  
30 Hartmaske bei der Lithographie ist in diesem Beispiel für Vertiefungsdimensionen von 110 nm vorgesehen. Dementsprechend werden Vertiefungen in der Resistschicht mit einer kritischen Breite d1 von etwa 110 nm erhalten. Dieser Prozesszustand ist in Fig. 1 dargestellt.

35

Anschließend wird die Opferschicht 20 aus einer organischen Antireflexionsbeschichtung mit einem Böschungswinkel von no-

minell etwa  $85^\circ$  strukturiert. Es wird so über die 70 nm dicke Opferschicht 20 eine Verringerung der anfänglichen kritischen Breite von 110 nm bis auf d2 gleich 95 bis 100 nm erhalten. Dieser Prozesszustand ist in Fig. 2 dargestellt.

5

Anschließend wird die zu strukturierende Polysiliziumschicht 10 durch selektives Ätzen strukturiert, wobei die mit einem Böschungswinkel geätzte organische Antireflexionsschicht 20 als Maske für die Strukturierung dient. Der Prozesszustand nach Strukturieren der Polysiliziumschicht 10 und Entfernen der Opferschicht 20 ist in Fig. 3 gezeigt. Insgesamt ist so eine Strukturierung der Schicht 10 mit deutlich verkleinerten Dimensionen der Vertiefungen möglich, ohne eine Änderung an den Lithographiebedingungen vorzunehmen.

15

## 2. Ätzen mit zwei Opferschichten

Auf einem Halbleitersubstrat 1 aus Silizium befindet sich eine zu strukturierende Schicht 10 aus Siliziumoxid. Anschließend wird zunächst eine etwa 150 nm dicke Kohlenstoffschicht 40 und dann eine etwa 85 nm dicke Siliziumoxidschicht 50 als Opferschichten abgeschieden. Dann wird eine Resistenschicht 30 darauf abgeschieden, die anschließend lithographisch strukturiert wird. Nach der lithographischen Strukturierung weist die Resistenschicht 30 in diesem Beispiel Vertiefungen mit einer kritischen Breite d1 von etwa 130 nm auf. Dieser Prozesszustand ist in Fig. 4 gezeigt. Wenn es der Prozess erfordert, kann wahlweise zwischen der oberen Opferschicht aus Siliziumoxid und der Resistenschicht noch eine Antireflexionsschicht eingeführt werden.

Anschließend wird über den Lack bzw. die Resistenschicht 30 die 85 nm dicke Siliziumoxidschicht mittels Plasmaätzung mit einem kontrollierten Böschungswinkel von etwa  $80^\circ$  geätzt. Es wird innerhalb der Opferschicht 50 aus Siliziumoxid eine Verringerung der kritischen Breite auf d2 von etwa 100 nm erreicht. Dieser Prozesszustand ist in Fig. 5 gezeigt.

Die derart geätzte obere Opferschicht 50 dient als Maske für die hochselektive Strukturierung mittels Ätzen der darunter befindlichen Kohlenstoffopferschicht 40, welche so über die

5 Opferschicht 50 mit geraden Kanten geätzt werden kann. Man erhält so eine Kohlenstoffmaske mit einer kritischen Breite von 100 nm und geraden Kanten, die als Maske zur Strukturierung der darunter liegenden Siliziumoxidschicht mit 100 nm Schichtdicke mittels selektivem Ätzen dient. Fig. 6 zeigt den  
10 Zustand nach Ätzen der Opferschicht 50 mit Taper und nach selektivem Ätzen der Kohlenstoffopferschicht 40. Der Resist ist hier nicht dargestellt bzw. entfernt. Die Kohlenstoffopferschicht 40 steht nun als Maske mit 100 nm breiten Vertiefungen für die Strukturierung der zu strukturierenden Schicht  
15 mittels selektivem Ätzen zur Verfügung. Bei dem Ätzen der zweiten Opferschicht 40 wird die erste Opferschicht 50 weitgehend entfernt. Fig. 7 zeigt den Zustand nach Strukturierung der eigentlichen zu strukturierenden Schicht 10 und dabei entfernter erster Opferschicht 50.

20

Anschließend wird die zweite Opferschicht 40 (Kohlenstoff) durch herkömmliche Verfahren entfernt. Fig. 8 zeigt den Endzustand nach Entfernung der zweiten Opferschicht 40.

25 Insgesamt ist so eine Strukturierung der Schicht 10 mit deutlich verkleinerten Dimensionen der Vertiefungen möglich, ohne eine Änderung an den Lithographiebedingungen vorzunehmen.

30

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugten Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar. Insbesondere ist die Erfindung immer dann einsetzbar, wenn in der Halbleiterstruktur-Herstellung Vertiefungen mit verringerten Abmessungen benötigt werden.

35

So ist die Auswahl der Substratmaterialien, Schichtmaterialien Schichtdicken und -kombinationen nur beispielhaft und kann in

vielerlei Art variiert werden. Das erfindungsgemäße Verfahren kann bspw. dazu eingesetzt werden, Löcher bzw. Vertiefungen mit verringerten Abmessungen bei der Herstellung von Kontaktlöchern zu erzeugen.

## Patentansprüche

- 5    1. Verfahren zum Herstellen einer Halbleiterstruktur, mit den Schritten:
- 10    a. Vorsehen eines Halbleitersubstrats (1);
- b. Vorsehen einer Opferschicht (20) zwischen einer zu strukturierenden Schicht (10) und einer Resistorschicht (30);
- c. Strukturieren der Resistorschicht (30), um eine strukturierte Resistorschicht zu bilden;
- 15    d. selektives Ätzen der Opferschicht (20) mit einem Böschungswinkel derart, dass die von in der strukturierten Resistorschicht (30) befindlichen Vertiefungen vorgegebenen Abmessungen innerhalb der Opferschicht (20) in Ätzrichtung vermindert werden; und
- 20    e. selektives Ätzen der zu strukturierenden Schicht (10) unter Verwendung der mit einem Böschungswinkel geätzten Opferschicht (20) als Maske.
- 25    2. Verfahren nach Anspruch 1,  
      dadurch gekennzeichnet,  
      dass die Opferschicht (20) aus einem resistähnlichen Material ausgewählt wird, und bevorzugt eine organischen Antireflexionsschicht ist.
- 30    3. Verfahren nach Anspruch 1 oder 2,  
      dadurch gekennzeichnet,  
      dass die zu strukturierende Schicht (10) eine Dielektrikumschicht oder eine Metallschicht ist, bevorzugt eine Polysiliziumschicht.

4. Verfahren zum Herstellen einer Halbleiterstruktur, mit den Schritten:

a. Vorsehen eines Halbleitersubstrats (1);

5

b. Vorsehen von zwei Opferschichten (40, 50) zwischen einer zu strukturierenden Schicht (10) und einer Resistsschicht (30), wobei die erste Opferschicht (50) zur Resistsschicht (30) hin angeordnet ist und die zweite Opferschicht (40) zur zu strukturierenden Schicht (10) hin angeordnet ist;

10

c. Strukturieren der Resistsschicht (30), um eine strukturierte Resistsschicht (30) zu bilden;

15

d. selektives Ätzen der ersten Opferschicht (50) mit einem Böschungswinkel derart, dass die in der strukturierten Resistsschicht (30) befindlichen Vertiefungen vorgegebenen Abmessungen innerhalb der ersten Opferschicht (50) in Ätzrichtung vermindert werden;

20

e. selektives Ätzen der zweiten Opferschicht (40) unter Verwendung der mit einem Böschungswinkel geätzten ersten Opferschicht (50) als Maske; und

25

f. selektives Ätzen der zu strukturierenden Schicht (10), wobei die zweite geätzte Opferschicht (40) als Maske dient.

5. Verfahren nach Anspruch 4,

d a d u r c h g e k e n n z e i c h n e t,

30

dass als erste Opferschicht (50) eine Dielektrikumschicht verwendet wird, bevorzugt aus Siliziumoxid, Siliziumoxynitrid oder Siliziumnitrid, eine Polysiliziumschicht oder eine Metallschicht.

35

6. Verfahren nach Anspruch 4 oder 5,

d a d u r c h g e k e n n z e i c h n e t,

dass als zweite Opferschicht (40) eine Schicht aus einem resistähnlichen Material verwendet wird, wie eine organische Antireflexionsschicht oder eine Schicht mit dem Hauptbestandteil Kohlenstoff.

5

7. Verfahren nach dem einen der Ansprüche 4 bis 6,  
dadurch gekennzeichnet,  
dass als zweite Opferschicht (40) eine Kohlenstoffschicht verwendet wird.

10

8. Verfahren nach einem der Ansprüche 4 bis 7,  
dadurch gekennzeichnet,  
dass im wesentlichen nur die erste Opferschicht (50) mit einem Böschungswinkel derart geätzt wird, dass die in der strukturierten Resistorschicht (30) befindlichen Vertiefungen vorgegebenen Abmessungen innerhalb der ersten Opferschicht (50) in Ätzrichtung vermindert werden, und die zweite Opferschicht (40) im wesentlichen mit geraden Kanten geätzt wird.

15

20

9. Verfahren nach einem der Ansprüche 4 bis 8,  
dadurch gekennzeichnet,  
dass die zu strukturierende Schicht (10) eine Dielektrikumschicht ist, bevorzugt Siliziumoxid, eine Metallschicht oder eine Siliziumschicht ist.

25

30

10. Verfahren nach Anspruch 4, 5 oder 8,  
dadurch gekennzeichnet,  
dass als erste Opferschicht (50) eine Polysiliziumschicht, als zweite Schicht (40) Siliziumoxid oder Siliziumoxynitrid und als zu strukturierende Schicht (10) eine Metallschicht verwendet wird.

35

11. Verfahren nach einem der Ansprüche 1 bis 10,  
dadurch gekennzeichnet,  
dass der Böschungswinkel 45 - 90 Grad beträgt, bevorzugt 70 - 85 Grad, am bevorzugtesten etwa 80°.

12. Verfahren nach einem der Ansprüche 1 bis 11,  
d a d u r c h g e k e n n z e i c h n e t,  
dass nach dem Ätzen der Opferschicht (20, 50) mit einem Bö-  
schungswinkel Vertiefungen mit Abmessungen von kleiner oder  
5 gleich 180 nm, bevorzugt 55 bis 120 nm, für die Strukturie-  
rung der zu strukturierenden Schicht (10) und/oder das Ätzen  
einer zweiten Opferschicht (40), zur Verfügung stehen.

## Zusammenfassung

### Verfahren zum Herstellen einer Halbleiterstruktur

5 Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen einer Halbleiterstruktur, mit den Schritten:

a. Vorsehen eines Halbleitersubstrats (1);

10 b. Vorsehen einer Opferschicht (20) zwischen einer zu strukturierenden Schicht (10) und einer Resistorschicht (30);

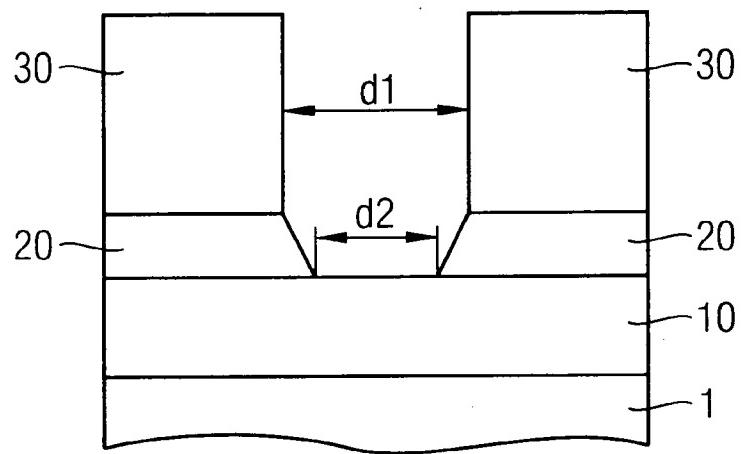
c. Strukturieren der Resistorschicht (30), um eine strukturierte Resistorschicht (30) zu bilden;

15 d. selektives Ätzen der Opferschicht (20) mit einem Böschungswinkel derart, dass die von in der strukturierten Resistorschicht (30) befindlichen Vertiefungen vorgegebenen Abmessungen innerhalb der Opferschicht (20) in Ätzrichtung vermindert werden; und

20 e. selektives Ätzen der zu strukturierenden Schicht (10) unter Verwendung der mit einem Böschungswinkel geätzten Opferschicht (20) als Maske. Die vorliegende Erfindung betrifft auch ein Verfahren zum Herstellen einer Halbleiterstruktur, bei dem zwei Opferschichten verwendet werden.

(Fig. 2)

**FIG 2**



## Bezugszeichenliste

1	Halbleitersubstrat
10	zu strukturierende Schicht
5	20 Opferschicht
	30 Resistsschicht
	40 zweite Opferschicht
	50 erste Opferschicht

10

FIG 1

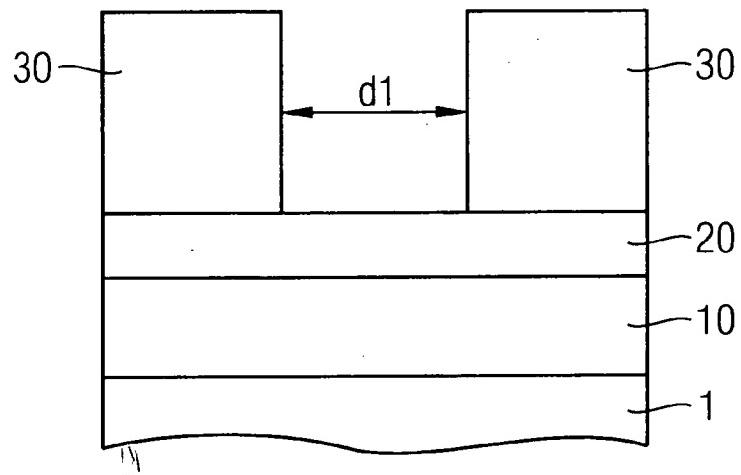


FIG 2

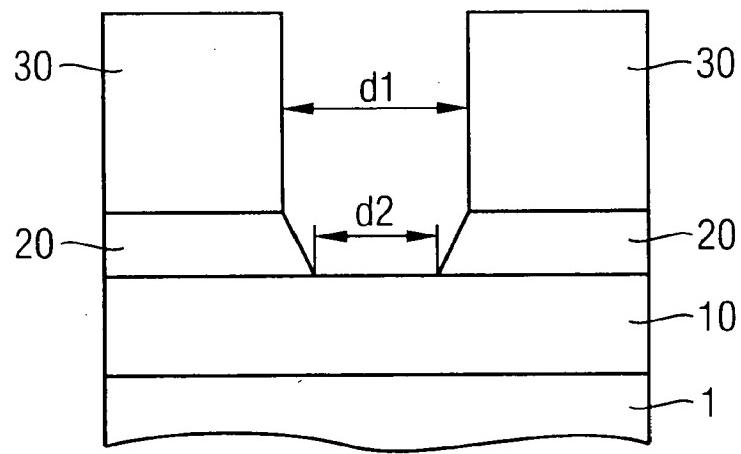


FIG 3

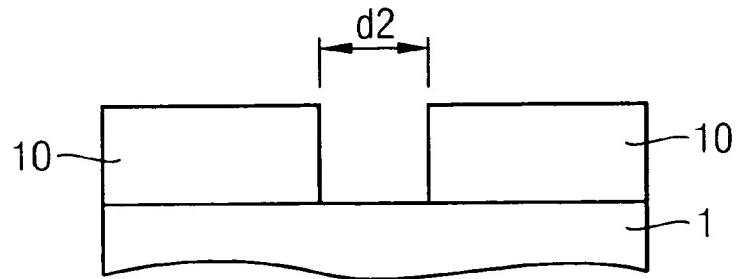


FIG 4

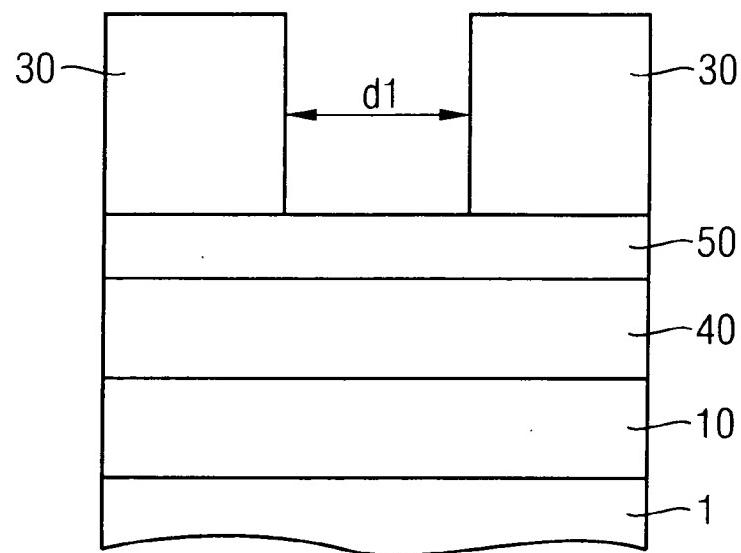
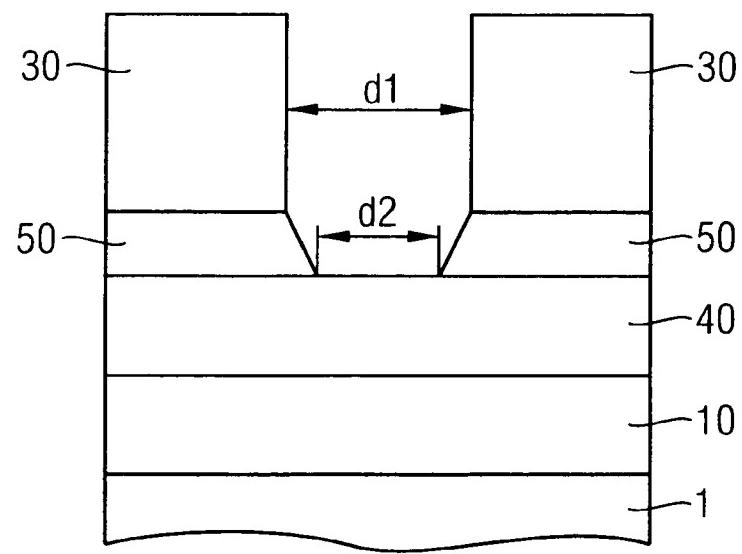
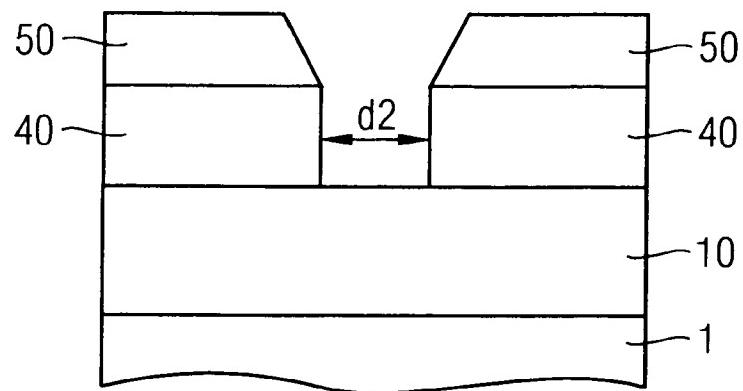
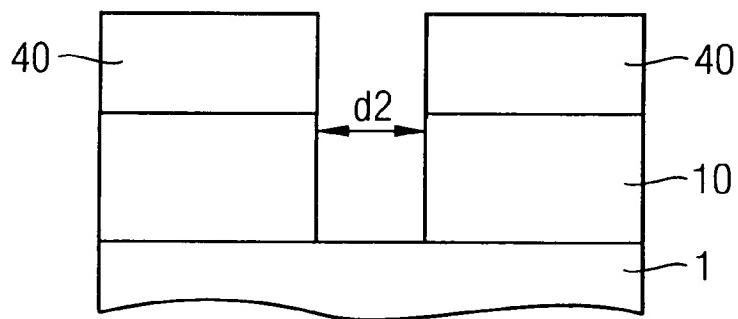


FIG 5



**FIG 6****FIG 7****FIG 8**